

日 本 国 特 許
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月12日

出 願 番 号

Application Number:

特願2002-234925

[ST.10/C]:

[JP 2002-234925]

出 願 人

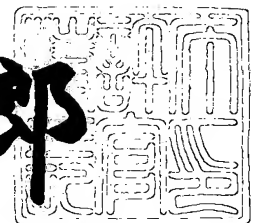
Applicant(s):

ローム株式会社

2003年 6月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047548

【書類名】 特許願

【整理番号】 02-00240

【提出日】 平成14年 8月12日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 3/02

【発明の名称】 可変次数型デルタシグマ変調器及びD A変換器

【請求項の数】 4

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地ローム株式会社内

【氏名】 河村 明展

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100110319

【弁理士】

【氏名又は名称】 根本 恵司

【選任した代理人】

【識別番号】 100109977

【弁理士】

【氏名又は名称】 畑川 清泰

【選任した代理人】

【識別番号】 100106806

【弁理士】

【氏名又は名称】 三谷 浩

【手数料の表示】

【予納台帳番号】 066394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0009874

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変次数型デルタシグマ変調器及びD A変換器

【特許請求の範囲】

【請求項1】 デルタシグマ変調器を構成する複数の積分器の組合せを変更して前記デルタシグマ変調器の次数を変更する手段を設け、該変更する手段により前記デルタシグマ変調器の次数をサンプリング周波数に最適な次数とすることを特徴とする可変次数型デルタシグマ変調器。

【請求項2】 量子化誤差を次段の積分器に供給してなる構成のデルタシグマ変調器であって、量子化誤差を次段の積分器に供給する接続部に設けられた回路を断続する手段と、該断続する手段を制御する手段とを具備し、次数を可変にすることを特徴とする可変次数型デルタシグマ変調器。

【請求項3】 デルタシグマ変調器の次数及び複数の積分器の組合せを変更する手段による積分器の接続関係を示すまたは接続の断続を示すテーブル並びにサンプリング周波数及び最適次数の関係を示すテーブルに基づいて、サンプリング周波数の切替えに伴い変調器の次数を新しいサンプリング周波数に最適である次数に切り替える制御手段を有する請求項1または請求項2に記載の可変次数型デルタシグマ変調器。

【請求項4】 請求項1乃至3のいずれか記載のデルタシグマ変調器を備えるD A変換器。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、デルタシグマ変調器に関し、特にサンプリング周波数に対し最適な次数に切り替えることのできるデルタシグマ変調器に関する。

【0 0 0 2】

【従来技術】

現在、携帯電話器、P D A（携帯情報端末、Personal Digital Assistance）、ポータブル音楽再生等ではD A変換器が多用されているが、このD A変換器としてデルタシグマ変調器を備えたD A変換器が広く知られている。このデルタシ

グマ変調器を備えた D A 変換器は、オーバーサンプリング回路とノイズシェーピング回路によって、1 ビット量子化等のビット数の少ない量子化を行い、エイリアシング、量子化雑音及び低域のノイズを低減している。

【 0 0 0 3 】

前記ノイズシェーピング回路に用いられるデルタシグマ変調器において、S N 比とデルタシグマ変調器の次数の間には、一例として図 9 に示すようにサンプリング周波数毎に特有の関係がある。図中、X 軸はデルタシグマ変調器の次数、Y 軸は S N 比を表わす。

この図によると、サンプリング周波数が 8 k H z の場合、デルタシグマ変調器の次数が 3 次のとき S N 比が 5 7 d B 程度で最大であり、次数が 4 次、5 次と次数が上がると S N 比は 5 5 d B, 4 0 d B と低下する。

これに対し、サンプリング周波数が 1 6 k H z の時はデルタシグマ変調器の次数が 2 次の時 S N 比は約 6 2 d B で、3 次、4 次になると、S N 比は約 7 2, 7 3 d B と上がり、5 次の時約 6 9 d B 程度と減少する。

更にサンプリング周波数が 3 2 k H z の時は、デルタシグマ変調器の次数が 2 のとき、S N 比は 8 0 d B、次数が 3 次のとき上昇し、さらに 4 次、5 次ではピークになり約 9 0 d B となる。

これから明らかなように、サンプリング周波数によって、次数が大きくなると、S N 比が増大したり、減少したりするものがあり、常に次数の高いものが、高い S N 比を与えるものではない。なお、図 9 は一例を示したもので、常に図 9 のパターンになるとは限らない。

【 0 0 0 4 】

従来、D A 変換器に用いられるデルタシグマ変調器は、一定のサンプリング周波数を想定して設計していたためにその次数は固定されており、自由に変えることができなかった。しかし、近年携帯電話に見られるように、電話機を通話の音声モードを用いたり、ダウンロードした曲を出力するオーディオモードで用いたりすることがあって、D A 変換器を異なる周波数で用いるケースが増大している。

この場合 D A 変換器をオーディオ帯域 (2 0 k H z) で使う場合には、前記の

通りサンプリング周波数（44.1 kHz）に合わせてSN比を最大にするために、最適な次数である4次のデルタシグマ変調器または5次のデルタシグマ変調器を選択することになるが、このデルタシグマ変調器を音声を扱う低いサンプリング周波数（8 kHz）で使用すると、次数が2次または3次のデルタシグマ変調器に比較してSN比が悪くなる。

逆に、モジュレータを低いサンプリング周波数（8 kHz）で使う場合に次数として最適な次数である3次のデルタシグマ変調器を選択することになるので、高いサンプリング周波数44.1 kHzで使用する時には、次数が4次、5次のものよりSN比は悪くなる。

このように、サンプリング周波数と最適次数には一定の関係がある。例えば、サンプリング周波数が8 kHz、16 kHz、32 kHz、44.1 kHz、48 kHzの時、それぞれ2次、4次、5次、4次（または5次）、5次が最適であることが明らかである。これを図6に示す。

【0005】

【発明が解決しようとする課題】

上記問題に対処し、サンプリング周波数を変化させても常に最適な次数にするために、デルタシグマ変調器として、例えば、予め1次からn次までのデルタシグマ変調器を作っておいて、これを切り替えて選択できるようにすることが考えられる。しかし、このようなやり方では、回路規模が大きくなり、コストも高くなり、無駄が多い。また、次数切替えの操作に関して、サンプリング周波数の切替え時次数の切替えをその都度マニュアルで行うことは非常に煩わしく、誤操作が起こりやすい。

【0006】

本発明は上記の問題を解決するためになされたもので、その目的はデルタシグマ変調器において、複数のサンプリング周波数を切替えて使う時、用いるサンプリング周波数に対し、常に最適な次数を設定することができるようにすることであり、できる限り簡単な回路構成で、前記の可変型デルタシグマ変調器を実現することである。

また、サンプリング周波数が変化した時、新しいサンプリング周波数を検出し

て、これに最適な次数に自動的に切り替えることのできるデルタシグマ変調器を実現することである。

また、ノイズシェーパに可変次数のデルタシグマ変調器を用いることにより、使用するサンプリング周波数に対し最適な S N 比を有する D A 変調器を実現することである。

【 0 0 0 7 】

【課題を解決するための手段】

請求項 1 の発明は、デルタシグマ変調器を構成する複数の積分器の組合せを変更して前記デルタシグマ変調器の次数を変更する手段を設け、該変更する手段により前記デルタシグマ変調器の次数をサンプリング周波数に最適な次数とすることを特徴とする可変次数型デルタシグマ変調器である。

請求項 2 の発明は、量子化誤差を次段の積分器に供給してなる構成のデルタシグマ変調器であって、量子化誤差を次段の積分器に供給する接続部に設けられた回路を断続する手段と、該断続する手段を制御する手段とを具備し、次数を可変にすることを特徴とする可変次数型デルタシグマ変調器である。

請求項 3 の発明は、デルタシグマ変調器の次数及び複数の積分器の組合せを変更する手段による積分器の接続関係を示すまたは接続の断続を示すテーブル並びにサンプリング周波数及び最適次数の関係を示すテーブルに基づいて、サンプリング周波数の切替えに伴い変調器の次数を新しいサンプリング周波数に最適である次数に切り替える制御手段を有する請求項 1 または請求項 2 に記載の可変次数型デルタシグマ変調器である。

請求項 4 の発明は、請求項 1 乃至 3 のいずれか記載のデルタシグマ変調器を備える D A 変換器である。

【 0 0 0 8 】

【発明の実施の形態】

図 1 は本発明の第 1 の実施形態であるデルタシグマ変調器を示すブロック図である。図において、加算器 1 はデジタル入力信号 X と後記量子化誤差 $-Q_1$ の遅延信号とを加算し、量子化器 2 は加算器 1 の出力が供給されて量子化信号 Y_1 を出力し、加算器 3 は量子化出力 Y_1 と後記加算器 9 の出力とを加算し、デルタシ

グマ変調出力 Y を出力し、減算器 4 は前記加算器 1 の出力 U_1 から量子化信号 Y_1 を減算し、第 1 の量子化誤差 $-Q_1$ を出力し、遅延回路 5 は減算器 4 と加算器 1 の間に設けられ、前記量子化誤差 $-Q_1$ の遅延信号を生成するものである。

【 0 0 0 9 】

加算器 6 は減算器 4 の出力である第 1 の量子化誤差 $-Q_1$ と後記減算器 10 の出力を遅延して得た信号を加算して加算出力 U_2 を出力し、減算器 4 の出力と 0 信号を供給する端子 18 の出力を選択するセレクタ S_{e1} が加算器 6 と減算器 4 の間に設けられる。量子化器 7 は加算出力 U_2 を量子化し、量子化信号 Y_2 を出力し、差分信号生成器 8 は量子化信号 Y_2 とその遅延出力の差分信号を生成し、加算器 9 はこの差分信号と後記差分信号生成器 15 からの信号とを加算し、減算器 10 は加算器 6 の出力 U_2 から量子化器 7 の出力 Y_2 を減算し、第 2 の量子化誤差 $-Q_2$ を出力する。遅延回路 11 は減算器 10 と加算器 6 との間に設けられ、第 2 の量子化誤差 $-Q_2$ の遅延信号を生成する。

【 0 0 1 0 】

加算器 12 は、減算器 10 の出力である第 2 の量子化誤差 $-Q_2$ と後記減算器 16 の出力を遅延した信号を加算し、加算出力 U_3 を出力する。減算器 10 の出力と 0 信号を供給する端子 19 の出力を選択するセレクタ S_{e2} は加算器 12 と減算器 10 の間に設けられる。量子化器 13 は加算出力 U_3 を量子化し、量子化信号 Y_3 を出力し、差分信号生成器 14 は量子化信号 Y_3 とその遅延出力との差分信号を生成し、差分信号生成器 15 は差分信号生成器 14 からの信号とその遅延出力との差分信号を生成し、減算器 16 は加算器 12 の出力 U_3 から量子化器 13 の出力 Y_3 を減算する。遅延回路 17 は減算器 16 と加算器 12 との間に設けられ、第 3 の量子化誤差 $-Q_3$ の遅延信号を生成する。

【 0 0 1 1 】

この回路において、セレクタと次数の関係について説明する。セレクタ S_{e1} を減算器 4 の出力側に接続し、セレクタ S_{e2} を減算器 10 の出力側に接続すると、3 つの積分器からなる変調器となり 3 次のデルタシグマ変調器が構成される。また、セレクタ S_{e1} を減算器 4 の出力側に接続し、セレクタ S_{e2} を 0 信号を供給する端子 19 に接続すると、この回路は加算器 12 から遅延回路 17 の回

路ブロックが切断されるので、2次のデルタシグマ変調器が構成される。更に、セクタ S e 1 及び S e 2 が 0 信号を供給する端子 1 8, 1 9 に接続されると加算器 6 から遅延回路 1 1 に至る回路ブロックも切断されるので、1次のデルタシグマ変調器となる。

【 0 0 1 2 】

このように、量子化誤差を次段の積分器に供給する構成のデルタシグマ変調器では、量子化誤差を次段に伝える接続回路にセクタを介在させることにより可変次数のデルタシグマ変調器を実現することができる。

この実施の形態においては、量子化誤差を次段の積分器に供給するタイプの3次のデルタシグマ変調器について説明した。同様にして量子化誤差を次段の積分器に供給して4次以上のデルタシグマ変調器を構成できるが、4次以上のデルタシグマ変調器においても同様に量子化誤差を次段の積分器に供給する接続部において、回路を断続するセクタを設けることによって次数を可変にできることは明らかである。

【 0 0 1 3 】

図 2 は、本発明の第 2 の実施形態を示す 5 次のデルタシグマ変調器回路のブロックである。

図において 1 0 1 は入力端子、1 0 2 は出力端子、1 0 3 は量子化器、S 1 ~ S 7 はセクタ、1 1 1, 1 1 4, 1 1 7, 1 1 9, 1 2 2, 1 2 4 ~ 1 3 0 は乗算器、1 1 2, 1 1 5, 1 2 0 は減算器、1 3 5 ~ 1 3 8 は加算器、1 1 3, 1 1 6, 1 1 8, 1 2 1, 1 2 3 は積分器、1 3 1 ~ 1 3 4 は 0 信号を供給する 0 端子（以下 0 出力端子という）であり、この変調器は以下のように構成されている。

入力端子 1 0 1 に乗算器 1 1 1 が接続され、その出力は減算器 1 1 2 の加算入力端子に供給され、減算器 1 1 2 からの信号は第 1 積分器 1 1 3 に供給され、積分器 1 1 3 の信号は乗算器 1 1 4 と乗算器 1 2 4 に供給される。第 1 積分器 1 1 3 の信号と乗算器 1 1 4 の信号はセクタ S 1 により選択され、選択された信号は減算器 1 1 5 の加算入力端子に入力される。減算器 1 1 5 は第 2 積分器 1 1 6 に接続され、更に第 2 積分器 1 1 6 の出力と第 1 の 0 出力端子 1 3 1 とがセレク

タ S 5 により選択され、セクタ S 5 の信号は乗算器 1 1 7 を経て第 3 積分器 1 1 8 に接続する。第 3 積分器 1 1 8 からの信号は乗算器 1 1 9 に供給され、乗算器 1 1 9 の出力と 0 入力端子 1 3 2 とがセクタ 6 により選択され、その選択された信号は減算器 1 2 0 の加算入力端子に供給される。減算器 1 2 0 の信号は第 4 積分器 1 2 1 に供給され、その出力と 0 出力端子 1 3 3 とがセクタ S 7 により選択され、更に乗算器 1 2 2 を経て第 5 積分器 1 2 3 に入力される。積分器 1 2 3 からの信号は乗算器 1 2 8 を経て加算器 1 3 6 の第 1 の入力端子に入力し、加算器 1 3 6 からの信号は量子化器 1 0 3 を経て出力端子 1 0 2 に供給される。

【 0 0 1 4 】

量子化器 1 0 3 からの信号 Y は減算器 1 1 2 の減算入力端子に供給される。また量子化器 1 0 3 からの信号と第 3 積分器 1 1 8 から乗算器 1 2 9 を経た信号とはセクタ S 4 より選択され、減算器 1 1 5 の減算入力端子に入力される。

第 5 積分器 1 2 3 の信号は乗算器 1 3 0 を経て減算器 1 2 0 の減算入力端子に帰還される。

【 0 0 1 5 】

更に、第 1 積分器 1 1 3 から乗算器 1 2 4 を経た信号と 0 入力端子 1 3 4 とは第 2 セクタ S 2 により選択され加算器 1 3 5 の入力端子に入力される。また、第 2 積分器 1 1 6 から乗算器 1 2 5 を経た信号と第 2 積分器 1 1 6 の信号とはセクタ S 3 により選択され、選択された信号は加算器 1 3 5 の入力端子に入力される。

さらに第 3 積分器 1 1 8 の信号は乗算器 1 2 6 を経て、前記加算器 1 3 5 の信号とともに加算器 1 3 6 に入力される。また、加算器 1 3 6 の信号は積分器 1 2 1 から乗算器 1 2 7 を経た信号と共に加算器 1 3 7 に入力される。最後に加算器 1 3 7 の出力信号は加算器 1 3 8 の第 2 の入力端子に入力される。

以上が図 2 の回路構成である。

【 0 0 1 6 】

次にこのデルタシグマ変調器において、セクタを用いてその次数を切り替える点について説明する。ここで各セクタの N 端子、F 端子について定義すると、セクタ S 1 について、N 端子は乗算器 1 1 4 の出力端子であり、F 端子は積

分器 1 1 3 の出力端子をいう。

また、セレクタ S 2 について、N 端子は乗算器 1 2 4 の出力端子をいい、F 端子は 0 出力 1 3 4 の出力端子をいう。

セレクタ S 3 について、N 端子は乗算器 1 2 5 の出力端子をいい、F 端子は第 2 積分器 1 1 6 の出力端子をいう。

セレクタ S 4 について、N 端子は乗算器 1 2 9 の出力端子をいい、F 端子は出力 1 0 2 端子をいう。

セレクタ S 5 について、N 端子は積分器 1 1 6 の出力端子をいい、F 端子は 0 出力 1 3 1 端子を言う。

セレクタ S 6 について、N 端子は乗算器 1 1 9 の出力端子をいい、F 端子は 0 出力 1 3 2 端子をいう。

セレクタ S 7 について、N 端子は積分器 1 2 1 の出力端子をいい、F 端子は 0 出力 1 3 3 端子をいう。

【 0 0 1 7 】

このように定義した上で、図 2 においてセレクタ 1 ～ 7 が F 端子に接続している場合、図 2 を書き改めると図 3 のようになる。即ち、書き改めたデルタシグマ変調器は、入力端子 1 0 1、乗算器 1 1 1、加算器 1 1 2、積分器 1 1 3、加算器 1 1 5、積分器 1 1 6、量子化器 1 0 3、出力端子 1 0 2 が縦続に接続され、出力 Y が 2 つの加算器 1 1 2、1 1 5 に減算入力となってフィードバックされて構成される。このデルタシグマ変調器はフィードバックループ内に、積分器 1 1 3、1 1 6 が設けられていることから 2 次のデルタシグマ変調器である。

【 0 0 1 8 】

次に、セレクタ S 1 ～ S 5 が N 端子に接続されて、セレクタ S 6、S 7 が F 端子に接続される時、この場合の図 2 を書き改めると、図 4 のようになる。即ち新しいデルタシグマ変調器は、図 3 の 2 次のデルタシグマ変調器に、構成要素として乗算器 1 1 7 と積分器 1 1 8 が前記積分器 1 1 6 に縦続接続され、積分器 1 1 8 の出力が乗算器 1 2 9 を介して加算器に減算入力としてフィードバックされる。

また、積分器 1 1 3 と積分器 1 1 6 の出力はそれぞれ乗算器 1 2 4、1 2 5 を

経て、加算器 1 3 5 に入力され、該加算器 1 3 5 の出力は乗算器 1 2 6 を経た積分器 1 1 8 の出力とともに加算器 1 3 6 に入力される。次に該加算器 1 3 6 の出力は量子化器 1 0 3 に供給され量子化出力 Y を出力し、出力 Y は加算器 1 1 2 に減算入力としてフィードバックしてなる。デルタシグマ変調器は、3 つの積分器 1 1 3、1 1 6、1 1 8 を有するからデルタシグマ変調器の次数は 3 次である。

【 0 0 1 9 】

同様にセレクタ S 1 ～ S 6 が N 端子に接続し、セレクタ S 7 が N 端子でオフの時はデルタシグマ変調器は積分器を 4 つ備え、4 次のデルタシグマ変調器となる。また、全てのセレクタ S 1 ～ S 7 が N 端子に接続する場合、積分器を 5 つ有するから 5 次のデルタシグマ変調器となる。

【 0 0 2 0 】

これらをまとめると、図 5 の表のようになり、次数とセレクタの選択端子との関係を示すテーブルを作成することができる。

このように、本実施の形態においては、セレクタ S 1 ～ S 7 を設け、回路の接続関係を変化させることにより、回路規模を大きくすることなく可変次数のデルタシグマ変調器を実現できる。

【 0 0 2 1 】

図 7 は本発明の第 3 の実施形態であるサンプリング周波数の切替えに伴い自動的に最適次数に切替える制御手段を備えるデルタシグマ変調器を示す。図中、デルタシグマ変調器 4 0 はセレクタ手段を有する可変次数の変調器であり、CPU 4 1 はサンプリング周波数に応じて最適次数の変調器を実現する制御を行い、サンプリング周波数検出部 4 2 は現用のサンプリング周波数の検知を行い、記憶装置 4 3 はテーブル M 及びテーブル N を格納している。テーブル M は図 9 に示される次数対 S/N 比のグラフから作成されたサンプリング周波数とこれに最適な次数との組合せのテーブル（図 9 によれば、サンプリング周波数が 8 k H z、1 6 k H z、3 2 k H z、4 4 . 1 k H z、4 8 k H z の時、それぞれ 2 次、4 次、5 次、4 次（または 5 次）、5 次が最適であって、これをテーブルにすると図 6 のテーブルを作成できる。）であり、テーブル N は、変調器の次数と複数の積分器の組合せを変更する手段による積分器の接続関係を示すテーブル（一例として、

前記図 5 に示したデルタシグマ変調器の次数とセレクタの選択端子の接続関係を示すテーブルをあげることができる) である。

サンプリング周波数検出手段 4 2 は切替えたサンプリング周波数を検出して、これを CPU に通知する。CPU は、このサンプリング周波数と、記憶装置に記憶されている前記のテーブル M を参照して、サンプリング周波数に最適な次数を決定し、次にこの次数のデルタシグマ変調器を実現するために前記テーブル N に基づいてセレクタの接続関係を決定する。次にセレクタの接続関係を決定するための制御信号をデルタシグマ変調器 4 2 に送り、可変次数のデルタシグマ変調器はこの信号に基づいて最適次数のデルタシグマ変調器を実現する。

なお、この実施の形態においてはサンプリング周波数検出手段によりサンプリング周波数を検出する例を示したが、これに限定されるものではなく、サンプリング周波数を設定し、該設定したサンプリング周波数の数値を使うことを排除するものではない。

【 0 0 2 2 】

図 8 は本発明の第 4 の実施の態様を示す D A 変換器である。デジタル入力信号はオーバーサンプリング回路 5 0 に入力され、該オーバーサンプリング回路はデジタル信号のサンプリング周波数を高め、その出力信号をノイズシェーパ 5 1 に供給する。ノイズシェーパ 5 1 は低域のノイズを下げ、波形整形回路 5 2、L P F 5 3 にノイズシェーブ信号を供給する。波形整形回路 5 2、L P F 5 3 によって、デジタル信号はアナログ信号に変換される。ノイズシェーパ 5 1 に、前記の可変次数のデルタシグマ変調器を用いることにより、使用するサンプリング周波数に対し最適な S N 比を有する D A 変調器を実現することができる。

【 0 0 2 3 】

【発明の効果】

本発明によれば、サンプリング周波数を切替えることのできる機器において、使用するサンプリング周波数ごとに最適な次数のデルタシグマ変調器を実現することができる。その結果常に最高の S N 比を与える特性を維持することができる。請求項 2 の発明によれば、サンプリング周波数の切替えに伴い自動的にデルタシグマ変調器の次数を切りかえることができるので、使用者がマニュアルでデ

ルタシグマ変調器の次数を切り替える必要なく常に最良の特性を得ることができる。

請求項 4 の発明によれば、使用するサンプリング周波数に対し最適な S N 比を有する D A 変調器を実現することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態である可変次数デルタシグマ変調器の回路ブロック図である。

【図 2】本発明の第 2 の実施形態である可変次数デルタシグマ変調器の回路ブロック図である。

【図 3】本発明の第 2 の実施形態である可変次数のデルタシグマ変調器において全てのセレクトが F 端子に接続された場合の等価回路ブロック図である。

【図 4】本発明の第 2 の実施形態である可変次数のデルタシグマ変調器においてセレクト S 1 ～ S 5 が N 端子に接続され、加算器セレクト S 6, S 7 が F 端子に接続された場合の等価回路ブロック図である。

【図 5】本発明の第 2 の実施形態である可変次数のデルタシグマ変調器において、セレクトの接続状態と次数の関係を記述したテーブルである。

【図 6】サンプリング周波数と最適次数との関係を記述したテーブルである。

【図 7】自動的に次数を切替える手段を有するデルタシグマ変調器である。

【図 8】 D A 変換器のブロック図である。

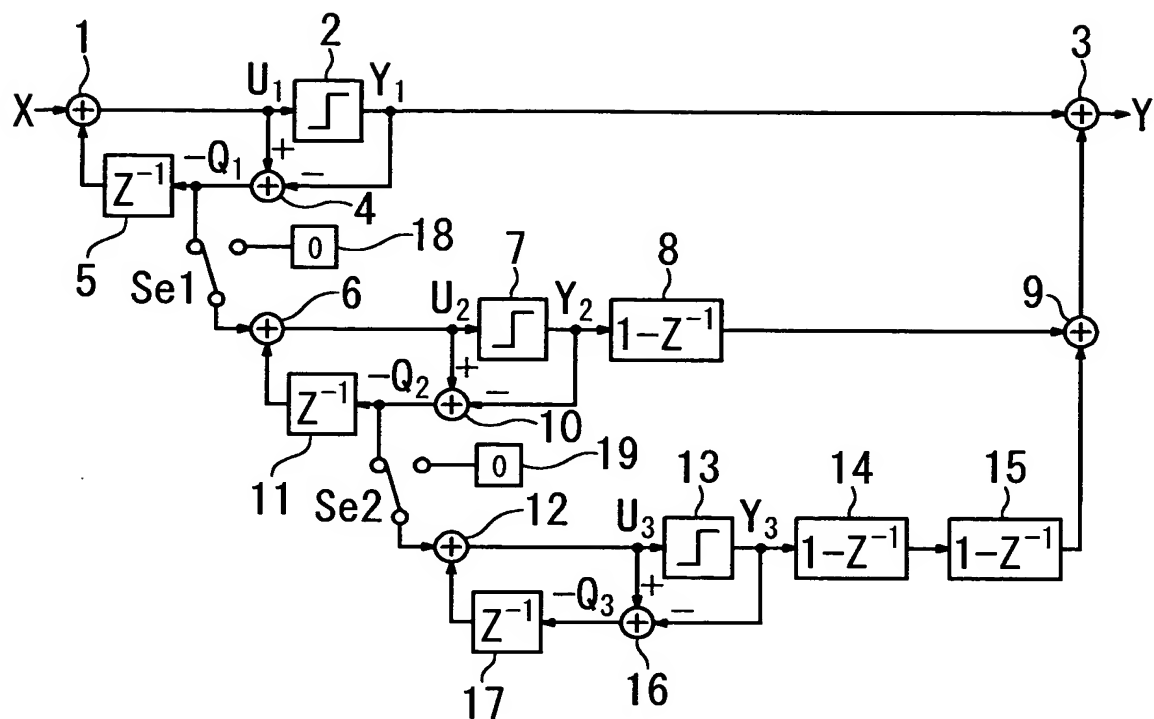
【図 9】サンプリング周波数ごとのデルタシグマ変調器の次数と S N 比との関係を示すグラフである。

【符号の説明】

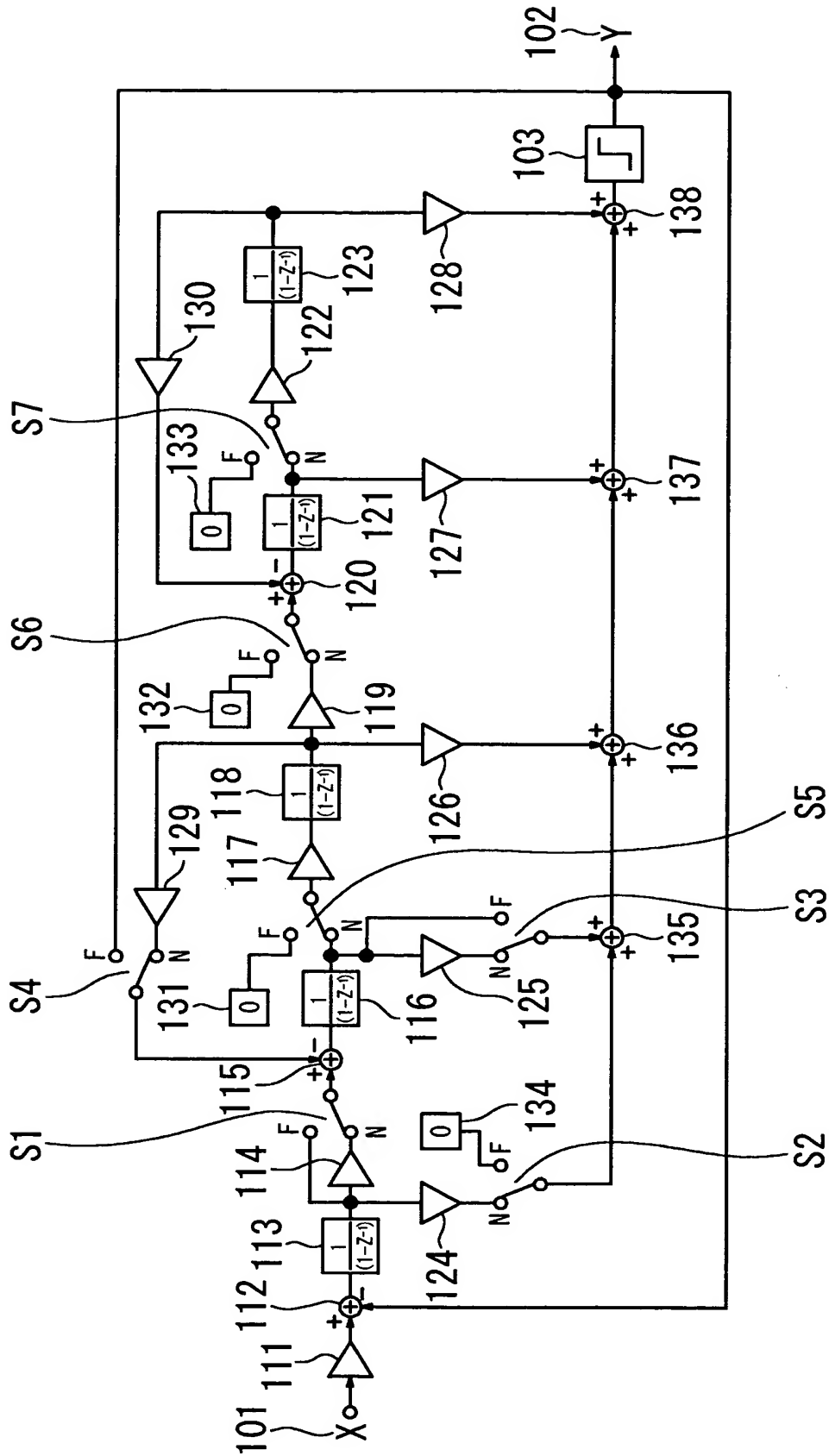
1 . . . 加算器、 2 . . . 量子化器、 4 . . . 減算器、 5 . . . 遅延回路、 S e . . . セレクト、 1 1 3, 1 1 6, 1 1 8, 1 2 1, 1 2 3 . . . 積分器、 1 1 1、 1 1 4、 1 1 7 . . . 乗算器、 S 1 ～ S 7 . . . セレクト、 1 3 1 ～ 1 3 4 . . . 0 信号供給端子

【書類名】 図面

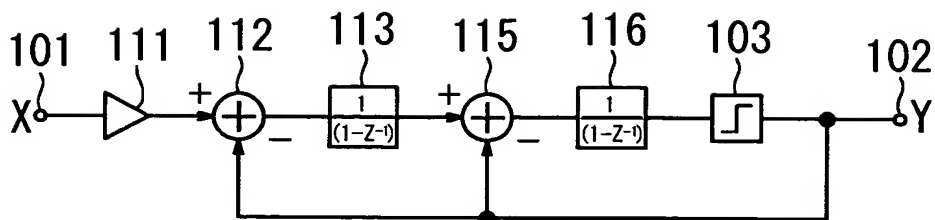
【図 1】



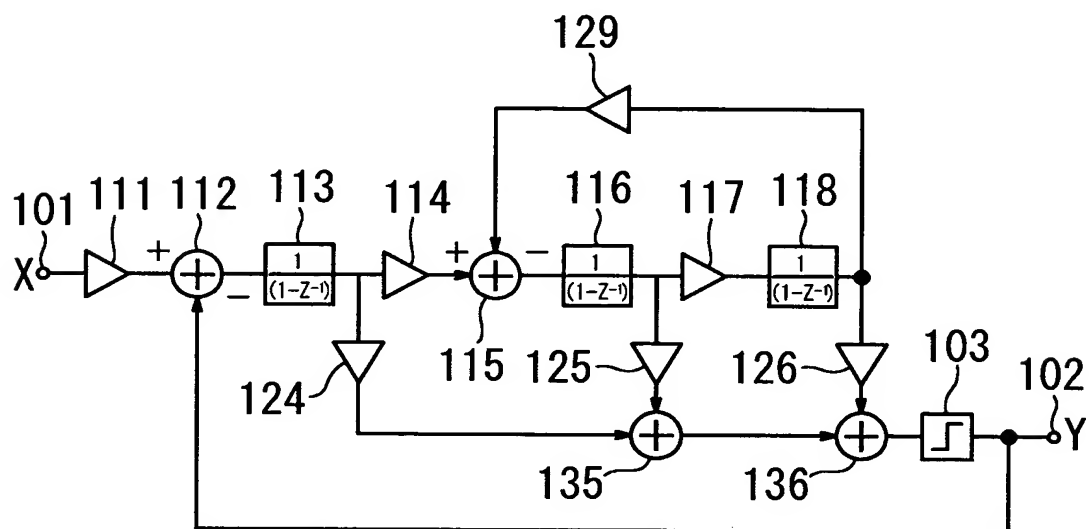
【図 2】



【図 3】



【図 4】



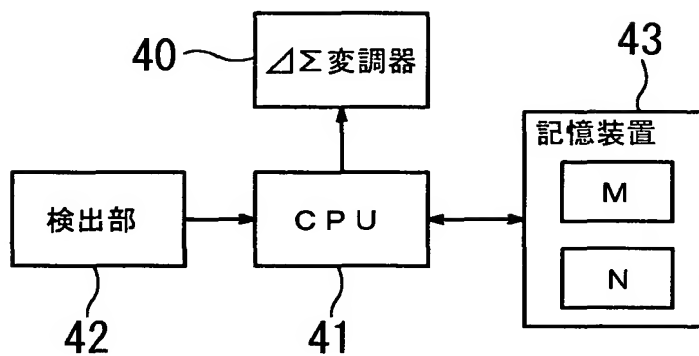
【図 5】

	S1	S2	S3	S4	S5	S6	S7
5次	N	N	N	N	N	N	N
4次	N	N	N	N	N	N	F
3次	N	N	N	N	N	F	F
2次	F	F	F	F	F	F	F

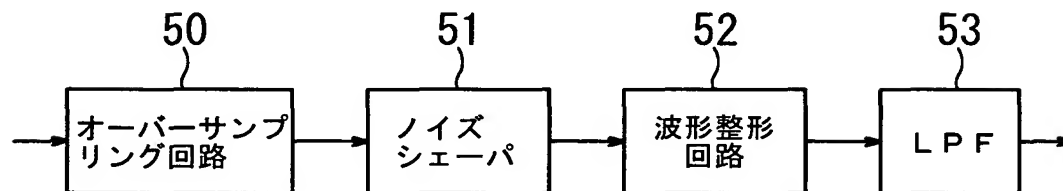
【図 6】

サンプリング周波数	最適次数
8KHz	2次
16KHz	4次
32KHz	5次
44.1KHz	4又は5次
48KHz	5次

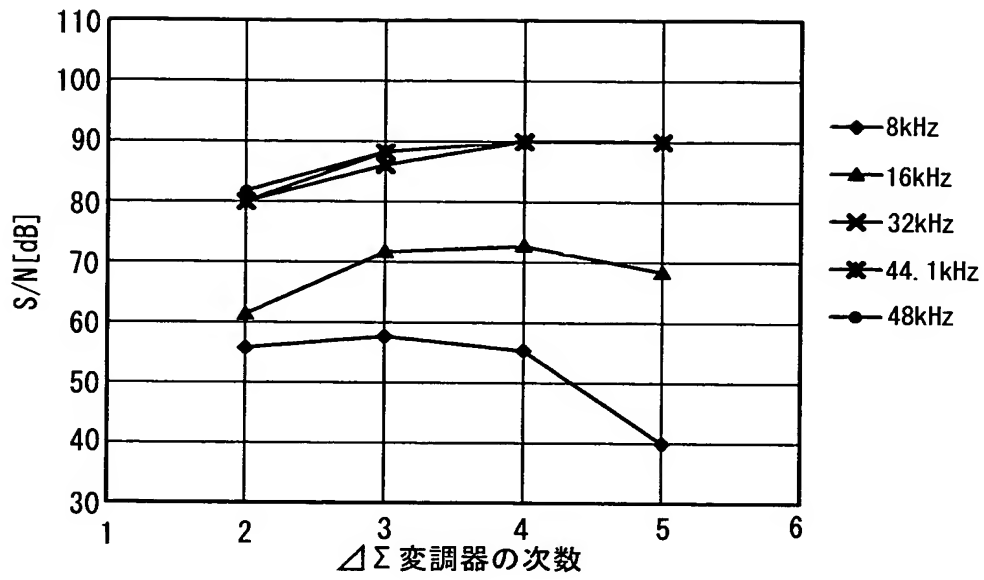
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 サンプリング周波数を切替えてデルタシグマ変調器を使う時、使用するサンプリング周波数に対し最適な次数を設定することができるようにする。

【解決手段】 3以上の次数のデルタシグマ変調器について、該変調器を構成する連続する任意の2つの積分器の組合せにおいて、第1の積分器と第2の積分器の接続部で第2の積分器側に接続を断続する手段又は接続関係を切替える手段を設け、該手段により接続を断続させたり、接続関係を切替えることにより、ルタシグマ変調器の次数をサンプリング周波数に最適な次数とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 1 6 0 2 4]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町 2 1 番地

氏 名 ローム株式会社